

LIQUID CRYSTAL DISPLAY DEVICE

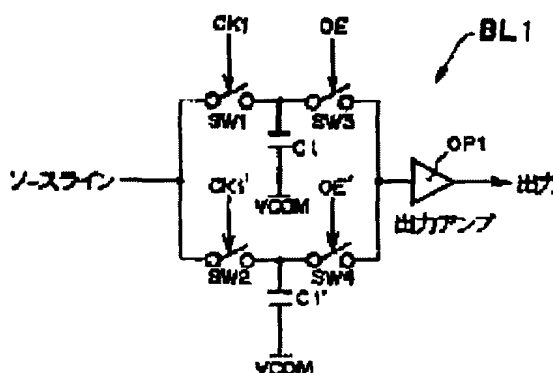
Patent number: JP6118913
Publication date: 1994-04-28
Inventor: SASHITA HIDEKI
Applicant: CASIO COMPUTER CO LTD
Classification:
- international: **G02F1/133; G09G3/20; G09G3/36;
G02F1/13; G09G3/20; G09G3/36; (IPC1-7):
G09G3/36; G02F1/133; G09G3/20**
- european:
Application number: JP19930193928 19930709
Priority number(s): JP19930193928 19930709;
JP19920235277 19920810

Report a data error here

Abstract of JP6118913

PURPOSE: To provide a liquid crystal display device which prevents an image displayed on a liquid crystal display panel from becoming uneven by hanging plural storage elements for storing a video signal at every horizontal scan alternately at the intervals of, for example, one field, and outputting the signal to the liquid crystal display panel.

CONSTITUTION: A basic circuit BL1 composed of two capacitors C1 and C1' which are provided on every source line so as to accumulate the color video signal alternately and switches SW1-SW4 which perform switching operation with input control signals CK1 and CK1', and OE and OE' to change the capacitors C1 and C1' accumulating the color video signal alternately sequentially accumulate and output the color video signal inputted at every 1H (one horizontal scanning period), to a buffer amplifier and alternate the capacitors C1 and C1', which sequentially accumulates the color video signal, at every one field with the control signals CK1 and CK1', and OE and OE'.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-118913

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7319-5G		
G 0 2 F 1/133	5 0 5	9226-2K		
G 0 9 G 3/20		R 7335-5G		
		K 7335-5G		

審査請求 未請求 請求項の数4(全 11 頁)

(21)出願番号 特願平5-193928

(22)出願日 平成5年(1993)7月9日

(31)優先権主張番号 特願平4-235277

(32)優先日 平4(1992)8月10日

(33)優先権主張国 日本(JP)

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 指田 英樹

東京都羽村市栄町3丁目2番1号 カシオ

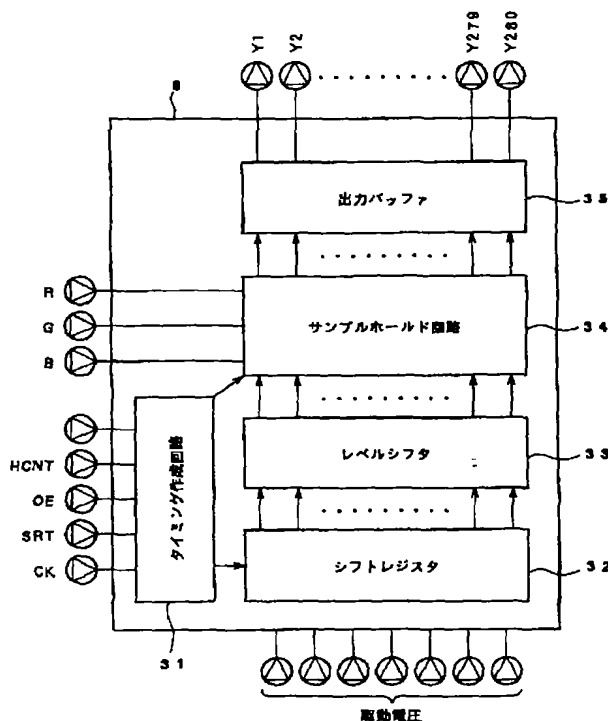
計算機株式会社羽村技術センター内

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 水平走査毎に映像信号を順次蓄積する複数の蓄積素子を例えば1フィールド毎に交互に変更して液晶表示パネルに出力することにより、液晶表示パネルに表示する映像にムラ等が発生しないようにする液晶表示装置を提供することを目的とする。

【構成】 ソースライン毎に色映像信号を交互に蓄積するように設けられた2個のコンデンサC1、C1'と、入力される制御信号CK1、CK1'、OE、OE'によりスイッチング動作を行って色映像信号を交互に蓄積するコンデンサC1、C1'を変更するスイッチSW1～SW4とから構成された基本回路BL1により1H毎に入力される色映像信号を順次蓄積してバッファアンプBA1に出力し、1フィールド毎に制御信号CK1、CK1'、OE、OE'により色映像信号を順次蓄積するコンデンサC1、C1'を交互に変更する。



【特許請求の範囲】

【請求項 1】 複数の信号電極と複数の走査電極を有した液晶パネルと、
前記走査電極を水平走査する走査電極駆動回路と、
前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、
前記信号電極駆動回路は、水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個づつ設けられた蓄積素子に 1 水平走査毎に交代で蓄積して前記信号電極に出力するとともに、該水平走査と前記蓄積素子との対応関係を所定期間毎に変更することを特徴とする液晶表示装置。

【請求項 2】 複数の信号電極と複数の走査電極を有した液晶パネルと、
1 フレーム内で前記複数の走査電極を順次水平走査する走査電極駆動回路と、
前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、
前記信号電極駆動回路は、1 フレーム内の水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個づつ設けられた蓄積素子に 1 フレーム内の 1 水平走査毎に交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を該 1 水平走査毎に変更することを特徴とする液晶表示装置。

【請求項 3】 複数の信号電極と複数の走査電極を有した液晶パネルと、
1 フレーム内の奇数フィールドと偶数フィールドで前記複数の走査電極を順次水平走査する走査電極駆動回路と、
前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、
前記信号電極駆動回路は、1 フレーム内の奇数フィールドと偶数フィールドの水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個づつ設けられた蓄積素子に該奇数フィールドと偶数フィールドで交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を該奇数フィールドと偶数フィールドで変更することを特徴とする液晶表示装置。

【請求項 4】 複数の信号電極と複数の走査電極を有した液晶パネルと、
1 フレーム内の 1 フィールドで前記複数の走査電極を順次水平走査する走査電極駆動回路と、
前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、
前記信号電極駆動回路は、1 フレーム内の 1 フィールドの水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個づつ設けられた蓄積素子に該 1 水平走査毎かつ 1 フィールド毎に交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を 1 水平走査毎かつ 1 フィールド毎に変更すること

を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置に係り、詳細には、映像信号をサンプルホールドするサンプルホールド回路を備えた液晶表示装置に関する。

【0002】

【従来の技術】 映像信号を LCD (Liquid Crystal Display) パネルに供給して表示を行う液晶テレビジョンにおいては、映像信号を 1 H (水平同期期間) 毎に交互にサンプリングするサンプルホールド回路を信号電極駆動回路内に備えているものがある。

【0003】 このサンプルホールド回路は、1 本のソースライン (各信号電極につながる映像信号入力ライン) に対して平行に 2 個のコンデンサを接続した回路を基本回路としてソースライン数分を複数設けた回路構成となっており、この基本回路内の 2 個のコンデンサにより 1 フレーム分の映像信号を 1 H 毎に交互にサンプリングし、液晶表示パネルの最終 1 H までサンプリングを終了すると、垂直帰線により液晶表示パネルの最初の 1 H に戻って映像信号のサンプリングを繰り返している。

【0004】

【発明が解決しようとする課題】 しかしながら、このような従来の信号電極駆動回路内のサンプルホールド回路にあつては、液晶表示パネルが指示する最初の 1 H に対して出力する映像信号をサンプルホールドする基本回路内のコンデンサが一定であつたため、最初の 1 H 以降に映像信号をサンプルホールドする基本回路内のコンデンサも毎回同一のものを使用することになり、基本回路内の 2 個のコンデンサに特性のバラツキがあつた場合、液晶表示パネルに印加される電圧にバラツキが発生し、表示する映像にムラ等の不具合を発生させるという問題点があつた。

【0005】 本発明の課題は、水平走査毎に映像信号を順次蓄積する複数の蓄積素子を例えば 1 フィールド毎に交互に変更して液晶表示パネルに出力することにより、液晶表示パネルに表示する映像にムラ等が発生しないようにする液晶表示装置を提供することである。

【0006】

【課題を解決するための手段】 請求項 1 記載の発明は、複数の信号電極と複数の走査電極を有した液晶パネルと、前記走査電極を水平走査する走査電極駆動回路と、前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であつて、前記信号電極駆動回路は、水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個づつ設けられた蓄積素子に 1 水平走査毎に交代で蓄積して前記信号電極に出力するとともに、該水平走査と前記蓄積素子との対応関係を所定期間毎に変更することを特徴としている。

【0007】 請求項 2 記載の発明は、複数の信号電極と

複数の走査電極を有した液晶パネルと、1フレーム内で前記複数の走査電極を順次水平走査する走査電極駆動回路と、前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、前記信号電極駆動回路は、1フレーム内の水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個ずつ設けられた蓄積素子に1フレーム内の1水平走査毎に交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を該1水平走査毎に変更することを特徴としている。

【0008】請求項3記載の発明は、複数の信号電極と複数の走査電極を有した液晶パネルと、1フレーム内の奇数フィールドと偶数フィールドで前記複数の走査電極を順次水平走査する走査電極駆動回路と、前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、前記信号電極駆動回路は、1フレーム内の奇数フィールドと偶数フィールドの水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個ずつ設けられた蓄積素子に該奇数フィールドと偶数フィールドで交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を該奇数フィールドと偶数フィールドで変更することを特徴としている。

【0009】請求項4記載の発明は、複数の信号電極と複数の走査電極を有した液晶パネルと、1フレーム内の1フィールドで前記複数の走査電極を順次水平走査する走査電極駆動回路と、前記信号電極に映像信号を出力する信号電極駆動回路とを有した液晶表示装置であって、前記信号電極駆動回路は、1フレーム内の1フィールドの水平走査に対応して入力される映像信号を、前記信号電極毎に対応して複数個ずつ設けられた蓄積素子に該1水平走査毎かつ1フィールド毎に交代で蓄積して前記信号電極に出力して、該水平走査と前記蓄積素子との対応関係を1水平走査毎かつ1フィールド毎に変更することを特徴としている。

【0010】

【作用】請求項1記載の発明によれば、水平走査に対応して入力される映像信号が、液晶パネルの信号電極毎に対応して複数個ずつ設けられた蓄積素子に1水平走査毎に交代で蓄積して該信号電極に出力されるとともに、該水平走査と該蓄積素子との対応関係が所定期間毎に変更される。

【0011】請求項2記載の発明によれば、1フレーム内の水平走査に対応して入力される映像信号が、信号電極毎に対応して複数個ずつ設けられた蓄積素子に1フレーム内の1水平走査毎に交代で蓄積して信号電極に出力され、該水平走査と前記蓄積素子との対応関係が該1水平走査毎に変更される。

【0012】請求項3記載の発明によれば、1フレーム内の奇数フィールドと偶数フィールドの水平走査に対応

して入力される映像信号が、信号電極毎に対応して複数個ずつ設けられた蓄積素子に該奇数フィールドと偶数フィールド毎に交代で蓄積して信号電極に出力され、該水平走査と蓄積素子との対応関係が該奇数フィールドと偶数フィールド毎に変更される。

【0013】請求項4記載の発明によれば、1フレーム内の1フィールドの水平走査に対応して入力される映像信号が、信号電極毎に対応して複数個ずつ設けられた蓄積素子に1フレーム内で1水平走査毎かつ1フィールド毎に交代で蓄積して信号電極に出力され、該水平走査と該蓄積素子との対応関係が該1水平走査毎かつ1フィールド毎に変更される。

【0014】したがって、蓄積素子の特性のバラツキによる液晶表示パネルに出力する映像信号のバラツキを低減し、液晶表示パネルに表示される映像ムラ等の発生を低減することができる。

【0015】

【実施例】以下、図1～図8を参照して実施例を説明する。

【0016】図1～図8は、本発明の液晶表示装置を適用した液晶テレビの一実施例を示す図である。

【0017】まず、構成を説明する。図1は、液晶テレビ1のブロック構成図である。

【0018】この図1において、液晶テレビ1は、アンテナ2、チューナー3、IF回路4、クロマ回路5、コントローラ6、走査電極駆動回路7、信号電極駆動回路8、TFT液晶表示パネル9、駆動電圧発生回路10及びスイッチ部11により構成されている。

【0019】アンテナ2は、受信電波をチューナー3に供給し、チューナー3は、コントローラ6から入力されるチューニング制御信号VTに従って指定チャンネルを選択し、アンテナ2から供給される受信電波を中間周波信号に変換してIF回路4に出力する。

【0020】IF回路4は、中間周波増幅回路、映像検波回路、映像増幅回路等により構成され、チューナー3から入力される中間周波信号を映像検波回路により映像検波を行ってカラー映像信号を取り出し、このカラー映像信号の中から音声信号を取り出して図示しない音声回路に出力し、映像増幅回路によりカラー映像信号を増幅してクロマ回路5に出力し、また、カラー映像信号の中から水平同期信号Hsyncと垂直同期信号Vsyncを取り出してコントローラ6に出力する。

【0021】クロマ回路5は、IF回路4から入力されるカラー映像信号からR、G、Bの各色映像信号を分離して信号電極駆動回路8に出力する。

【0022】コントローラ6は、走査電極駆動回路7及び信号電極駆動回路8を制御するCPU(Central Processing Unit)等から構成され、スイッチ部11で操作されるチューニングキー操作に従ってチューナー3にチューニング制御信号VTを出力し、IF回路4から入力さ

れる水平同期信号Hsyncと垂直同期信号Vsyncに基づいて走査電極駆動回路7及び信号電極駆動回路8を制御する各種タイミング制御信号を生成して走査電極駆動回路7及び信号電極駆動回路8に出力し、走査電極駆動回路7における1フレーム内の1フィールド毎の走査電極の順次走査タイミングを制御するとともに、信号電極駆動回路8における1フレーム内の1フィールド毎の信号電極のR、G、B色映像信号のサンプリングタイミングを制御する。

【0023】走査電極駆動回路7は、図2にブロック構成を示すように、タイミング作成回路21、シフトレジスタ22、ゲート回路23、レベルシフタ24及び出力バッファ25により構成され、シフトレジスタ22、ゲート回路23、レベルシフタ24及び出力バッファ25は、TFT液晶表示パネル9に設けられた220本の走査電極を順次走査するように構成されている。

【0024】この走査電極駆動回路7では、タイミング作成回路21がコントローラ6から入力されるスタート信号GSRT及びクロック信号GPCKに基づいて基準シフトタイミング信号を生成し、シフトレジスタ22が、この基準シフトタイミング信号に基づいて順次シフトパルス信号を生成してゲート回路23に出力すると、ゲート回路23は、コントローラ6から入力されるリセット信号GRESのタイミングでシフトパルス信号の立ち下がりタイミングを制御し、順次生成されるシフトパルス信号の立ち下がり位置をずらして分離したシフトパルス信号を生成し、レベルシフタ24及び出力バッファ25を介してTFT液晶表示パネル9に設けられた220本の走査電極X1～X220に出力し、走査電極X1～X220を順次水平走査する。

【0025】また、走査電極駆動回路7には、駆動電圧発生回路10から各種駆動電圧が供給されて、タイミング作成回路21、シフトレジスタ22、ゲート回路23、レベルシフタ24及び出力バッファ25に供給されている。

【0026】信号電極駆動回路8は、図3にブロック構成を示すように、タイミング作成回路31、シフトレジスタ32、レベルシフタ33、サンプルホールド回路34及び出力バッファ35により構成され、シフトレジスタ32、レベルシフタ33、サンプルホールド回路34及び出力バッファ35は、TFT液晶表示パネル9に設けられた280本の信号電極を順次走査するように構成されている。

【0027】この信号電極駆動回路8におけるタイミング作成回路31、シフトレジスタ32、レベルシフタ33及びサンプルホールド回路34の詳細回路構成を図4に示して説明する。また、この信号電極駆動回路8内で処理される信号の一例を図5(a)～(i)に示す。

【0028】図4において、タイミング作成回路31は、各種ゲート回路及びフリップフロップ等から構成さ

れ、コントローラ6から入力される基本クロック信号CK(図5(a)参照)とスタート信号SRT(同図

(b)参照)に基づいて基準パルス信号START(同図(f)参照)と基準シフトクロック信号CKA、CKB、CKC(同図(c)～(e)参照)を生成してシフトレジスタ32に出力する。シフトレジスタ32は、インバータ回路により構成される基本回路を信号電極の1段分として280段分設けられており、タイミング作成回路31から入力される基準パルス信号START及び各段毎に入力される基準シフトクロック信号CKA、CKB、CKCに基づいて、その基本回路毎にレベルシフタ33を介してサンプリング信号CKK1～CKK3

(図5(g)～(i)参照)を生成してサンプルホールド回路34に出力する。

【0029】図4に示すサンプルホールド回路34は、信号電極1本分に対応する基本回路構成を示しており、NORゲート回路NG1と、図6に示す信号電極毎に各色映像信号を交互に蓄積するように設けられた2個のコンデンサC1、C1'及びコンデンサC1、C1'を変更するスイッチSW1～SW4から構成された基本回路BL1により構成される。

【0030】NORゲート回路NG1は、コントローラ6から入力されるアウトプットイネーブル信号OE、水平走査信号HCNT及びシフトレジスタ32から入力されるサンプリング信号CKK1に基づいて基本サンプリング回路BL1内のスイッチ群SW1～SW4を切り換え制御する切換パルス信号CK1、CK1'、OE、OE'を基本回路BL1内の各スイッチSW1～SW4にそれぞれ出力する。

【0031】基本回路BL1は、NORゲート回路NG1から入力される切換パルス信号CK1、CK1'、OE、OE'により各スイッチSW1～SW4がオン/オフ制御され、1H毎に入力される各色映像信号をスイッチSW1～SW4によってオンされたコンデンサC1、C1'の一方に蓄積して出力バッファ35に出力する。

【0032】出力バッファ35は、上記サンプルホールド回路34内の基本回路BL1～BL280毎にバッファアンプBA1～BA280を設けており、各バッファアンプBA1～BA280は、基本回路BL1～BL280により1H毎に入力される各色映像信号を所定の増幅率で増幅してTFT液晶表示パネル9の各信号電極Y1～Y280に順次出力する。

【0033】また、図4において、TFT液晶表示パネル9には、上記走査電極駆動回路7により駆動制御される220本の走査電極X1～X220と、上記信号電極駆動回路8により駆動制御される280本の信号電極Y1～Y280が設けられており、これら各走査電極X1～X220と各信号電極Y1～Y280との各交点には、図7に示すように、トランジスタTR11、TR12、TR21、TR22が配置され、各トランジスタT

R11, TR12, TR21, TR22のゲート電極Gは、走査電極X1, X2に接続され、ソース電極Sは、信号電極Y1, Y2に接続され、ドレイン電極Dには、コンデンサCsと液晶表示素子LCDが接続され、コンデンサCsと液晶表示素子LCDには、それぞれ同電位のVCS, VCOMが印加されている。

【0034】この各交点に接続された各トランジスタTR11, TR12, TR21, TR22が、走査電極駆動回路7によって1水平走査毎に走査電極X1, X2に順次入力される走査信号によってオンし、その水平走査に応じて信号電極駆動回路8によって順次信号電極Y1, Y2に入力される色映像信号が、トランジスタTR11, TR12, TR21, TR22のソース電極Sを通してドレイン電極Dに接続された各コンデンサCsに順次蓄積されると、液晶表示素子LCDが表示される。

【0035】次に、本実施例の動作を説明する。

【0036】従来のNTSC方式のテレビでは、走査線数が525本で、縦横比3:4の画面を形成し、1秒間に30枚の画面を作るように規定されている。また、画面を作る際の走査の仕方としては、飛越走査(インターレース)をするように規定されており、262.5本ずつ2回に分けて水平・垂直走査を行う。この飛越走査では、1回の垂直走査をフィールド走査といい、2回のフィールド走査で1画面全部を表示する走査をフレーム走査といっている。このフレーム走査の期間に映像信号の2フィールド走査で1画面を表示することから、その画面表示サイクル(フレーム周波数)は1/60秒である。

【0037】また、本実施例の液晶テレビ1では、TFT液晶表示パネル9の有効走査電極本数が220本であることから、1フレーム内の2回のフィールド走査では、同一の走査電極を走査することになる。

【0038】まず、図8に示す上記基本回路BL1における各部の信号のタイミングチャートに基づいて上記図6に示した基本回路BL1の基本動作を説明する。

【0039】1H分の各色映像信号は、基本回路BL1内のスイッチSW1またはスイッチSW2のどちらかが図8(a)に示すクロックCKのタイミングにより順次オンしてコンデンサC1またはコンデンサC1'に各色映像信号が蓄積される。図8において、1画素目のデータは、クロックCK1(同図(b))のタイミングでスイッチSW1がオンされることにより、コンデンサC1に蓄積され、2画素目のデータは、クロックCK2(同図(c))のタイミングで上記図3と同様の構成の基本回路BL2内のコンデンサC2に蓄積される。このように1H分の各色映像信号がコンデンサC1に蓄積された後、次の1Hの1画素目のデータは、クロックCK1'(同図(d))のタイミング、2画素目のデータは、クロックCK2'(同図(e))のタイミングで各々コンデンサC1'、コンデンサC2'に蓄積される。

【0040】また、図8において、(i)は、走査電極駆動回路7から出力される走査信号X1を示しており、その立ち上がりタイミングは、アウトプットイネーブル信号OE, OE'と同じで、立ち下がりタイミングは、1H区間が終了する前の基本クロックCK数にして20発分手前で終了するように制御されている。

【0041】このようにコンデンサC1'に蓄積された各色映像信号の出力タイミングは、スイッチSW1側がオンのときは、スイッチSW4側がオンされてコンデンサC1'に蓄積された各色映像信号が出力バッファ35内のバッファアンプBA1に出力される。

【0042】このように基本回路BL1において、1H毎に蓄積するコンデンサC1, C1'を交互に変更して1フィールド分の各色映像信号が順次蓄積され、出力バッファ35で増幅されてTFT液晶表示パネル9に出力される。以上の色映像信号のサンプリング方式は、パラレル・サンプリングホールド方式と呼ばれている。

【0043】以上のように1フィールド走査分の色映像信号がTFT液晶表示パネル9に出力された後、次のフィールド走査で同様のサンプリングが繰り返し行われるが、従来では、最初のフィールドの最初の1H分をサンプリングするコンデンサがC1側だとすると、次のフィールドの最初の1H分の画素データをサンプリングするコンデンサもC1側であった。

【0044】このため、従来の色映像信号のサンプリングの場合、TFT液晶表示パネル9の最上部の1H分の色映像信号をサンプリングするコンデンサは、常にC1側であり、1H毎に画素データを蓄積するコンデンサを交互に入れ替えているため、液晶表示パネル全体でライン毎にサンプリングするコンデンサが、常にC1側、C1'側と一定になってしまう。

【0045】このとき、コンデンサC1とコンデンサC1'の容量が異なる場合、出力される映像信号の出力値は、出力アンプOP1の寄生容量、液晶表示パネル1のコンデンサの容量とコンデンサC1とコンデンサC1'の容量比で決定されるため、コンデンサC1とコンデンサC1'で蓄積された映像データの出力レベルが異なってしまう。

【0046】いま、例えば、コンデンサC1'の容量がコンデンサC1よりも大きいとすると、同じ入力レベルの映像データをサンプリングしたとしても、その出力レベルは、コンデンサC1'から出力される映像データの方が小さくなる。この出力レベルの違いにより、液晶表示パネル1に表示される映像にムラ等が発生させ、表示映像の品質を劣化させる原因となっていた。

【0047】そこで本実施例では、このコンデンサC1, C1'の容量変化に伴う表示映像の品質低下を防ぐため、1フィールド走査毎に色映像信号をサンプリングするコンデンサを変更するように上記基本回路BL1を制御することにより、コンデンサの容量のバラツキを吸

収し、1フレームで平均して見た表示映像のムラも吸収して表示品質の向上を図る。

【0048】この1フィールド毎に映像データをサンプリングするコンデンサを変更する際の基本回路BL1における各部の信号のタイミングチャートを図8を参照して説明する。

【0049】最初のフィールド走査の1H目の1画素目の色映像信号は、クロックCK1（同図（b））のタイミングでコンデンサC1にサンプリングされ、2画素目の色映像信号は、クロックCK2（同図（c））のタイミングでコンデンサC2にサンプリングされる。次いで、2H目の1画素目の色映像信号は、クロックCK1'（同図（d））のタイミング、2画素目の色映像信号は、クロックCK2'（同図（e））のタイミングで各々コンデンサC1'、C2'にサンプリングされる。ここまでは、上記基本動作と同様の動作である。

【0050】以上の動作の繰り返しにより最初のフィールドの色映像信号のサンプリングが終了した後、次のフィールドの1H目の1画素目の色映像信号は、クロックCK1'（同図（d））のタイミングでコンデンサC1'にサンプリングされ、2画素目の色映像信号は、クロックCK2'（同図（e））のタイミングで各々コンデンサC2'にサンプリングされる。次いで、2H目の1画素目の色映像信号は、クロックCK1（同図（b））のタイミング、2画素目の色映像信号は、クロックCK2（同図（c））のタイミングで各々コンデンサC1、C2にサンプリングされる。

【0051】このように、1フィールド毎に最初の1H目のサンプリングするコンデンサを交互に変更し、この変更を1H毎に反転、さらに1フィールド毎に反転する制御信号HCNT（同図（h））により制御することにより、パラレルに接続されたコンデンサC1～C280、C1'～C280'の容量のバラツキによる出力バッファ35内のバッファアンプBA1～BA280からTFT液晶表示パネル9に出力される出力色映像信号の出力レベルのバラツキを平均化して吸収することができる。

【0052】したがって、本実施例のを液晶表示パネル1に適用することにより、映像データを交互に蓄積するサンプルホールド回路34内の基本回路BL1～BL280内のコンデンサに容量のバラツキがあっても、そのバラツキを平均化し、TFT液晶表示パネル9に表示される1フレームの表示映像に発生するムラも吸収することができ、表示品質を向上させることができる。

【0053】なお、上記実施例では、色映像信号を蓄積するサンプルホールド回路34内の基本回路BL1～BL280内のコンデンサを1水平走査毎かつ1フィールド毎に変更するようにしたが、1フレーム毎に蓄積するコンデンサを変更するようにしても良いし、また、偶数フィールド走査と奇数フィールド走査で蓄積するコンデ

ンサを変更するようにしても良い。

【0054】

【発明の効果】本発明によれば、水平走査に対応して入力される映像信号を、液晶パネルの信号電極毎に対応して複数個づつ設けられた蓄積素子に1水平走査毎に交代で蓄積して該信号電極に出力するとともに、該水平走査と該蓄積素子との対応関係を所定期間毎に変更しているため、蓄積素子の特性のバラツキによる液晶表示パネルに出力する映像信号のバラツキを低減することができ、液晶表示パネルに表示される映像ムラ等の発生を低減することができる。その結果、液晶表示パネルに表示される映像の表示品質を向上させることができる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置を適用した液晶テレビのブロック構成図である。

【図2】図1の走査電極駆動回路のブロック構成図である。

【図3】図1の信号電極駆動回路のブロック構成図である。

【図4】図3の信号電極駆動回路の詳細回路構成図である。

【図5】図4のサンプルホールド回路内の基本動作を説明するためのタイミングチャートである。

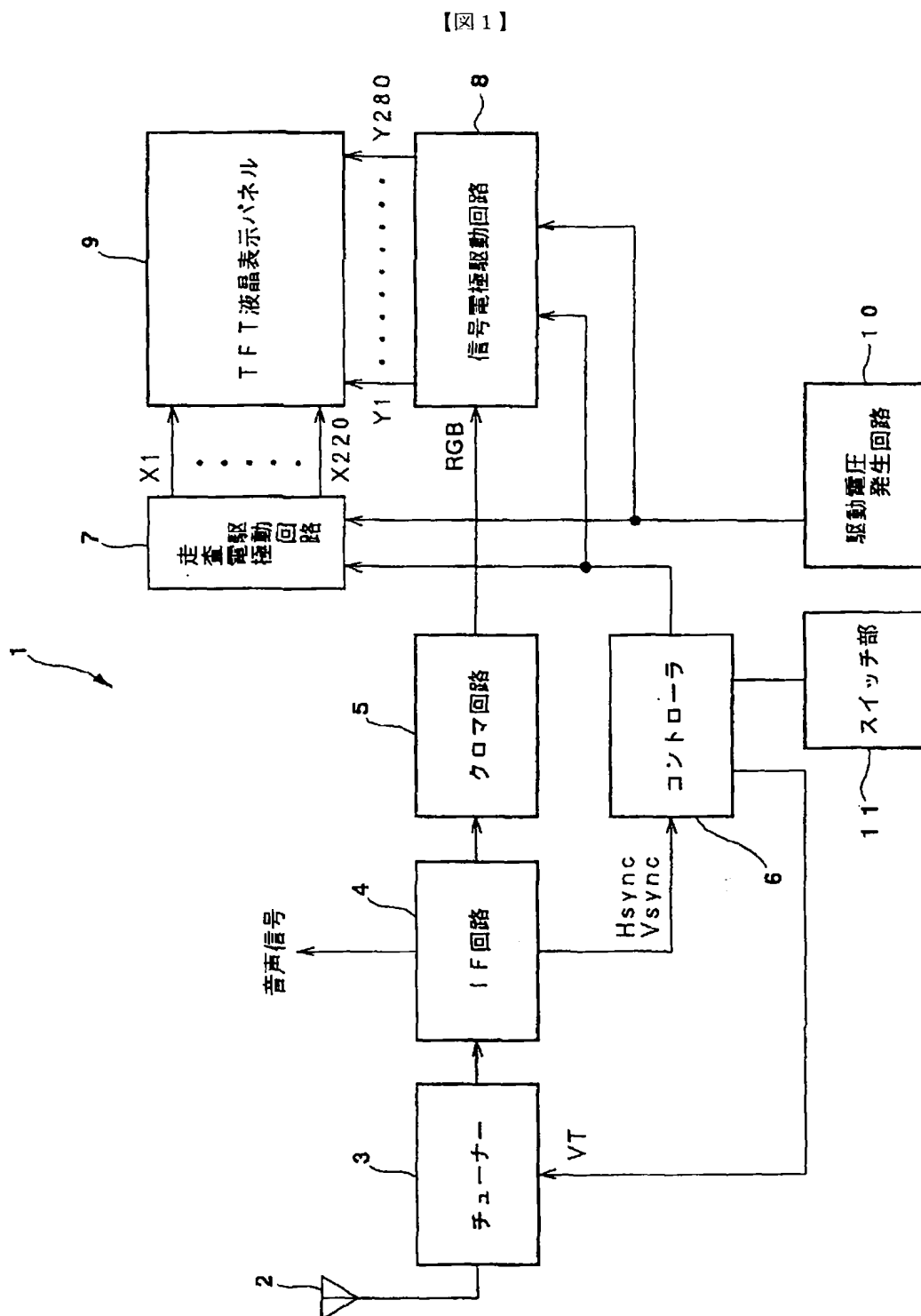
【図6】図4のサンプルホールド回路内の基本回路構成図である。

【図7】図1のTFT液晶表示パネルの詳細構成図である。

【図8】図4のサンプルホールド回路内のコンデンサ変更動作を説明するためのタイミングチャートである。

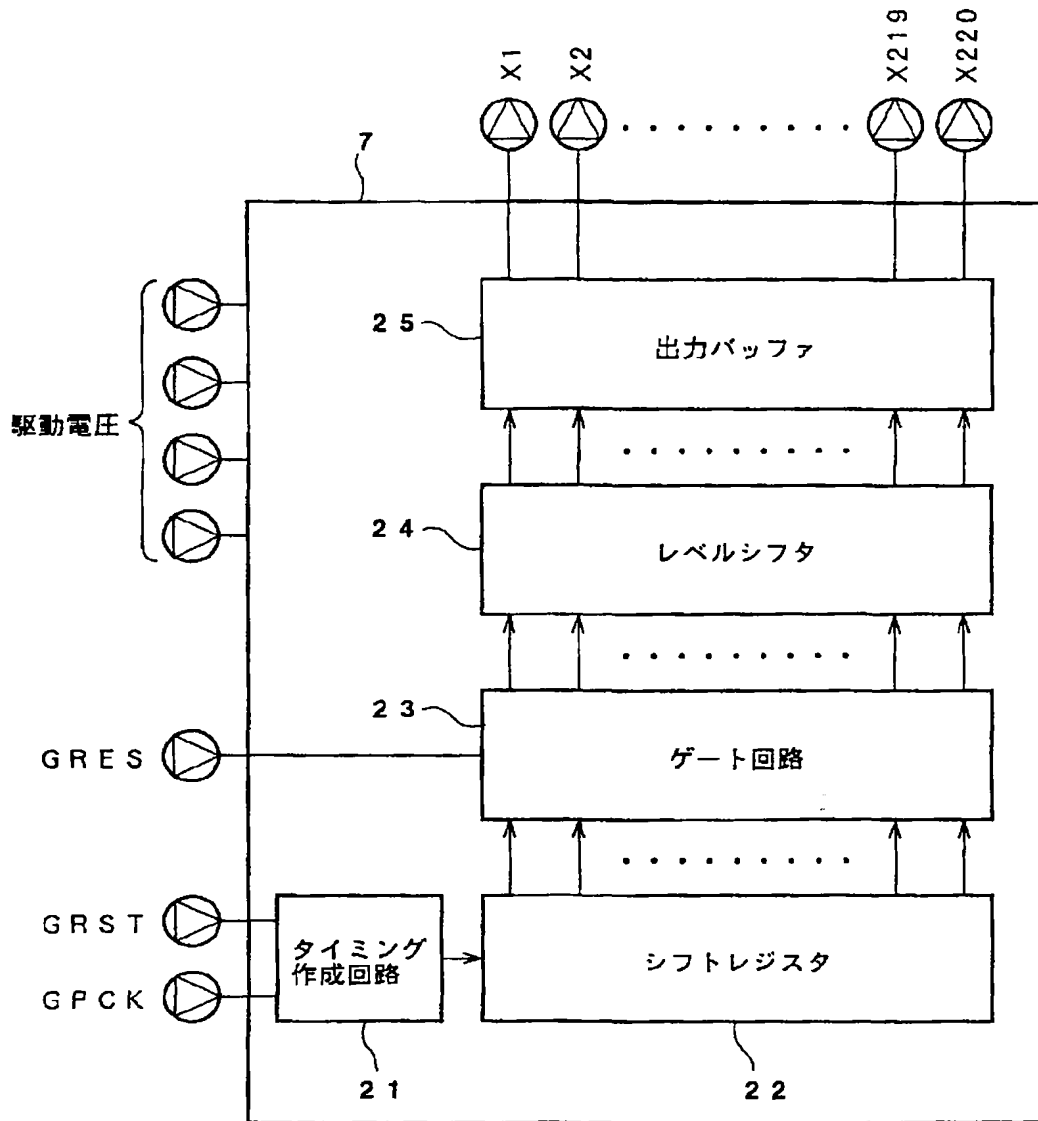
【符号の説明】

- 1 液晶テレビ
- 7 走査電極駆動回路
- 8 信号電極駆動回路
- 9 TFT液晶表示パネル
- 21 タイミング作成回路
- 22 シフトレジスタ
- 23 ゲート回路
- 24 レベルシフタ
- 25 出力バッファ
- 31 タイミング作成回路
- 32 シフトレジスタ
- 33 レベルシフタ
- 34 サンプルホールド回路
- 35 出力バッファ
- NG1 NORゲート回路
- BL1 基本回路
- C1、C1' コンデンサ
- SW1～SW4 スイッチ
- BA1 バッファアンプ

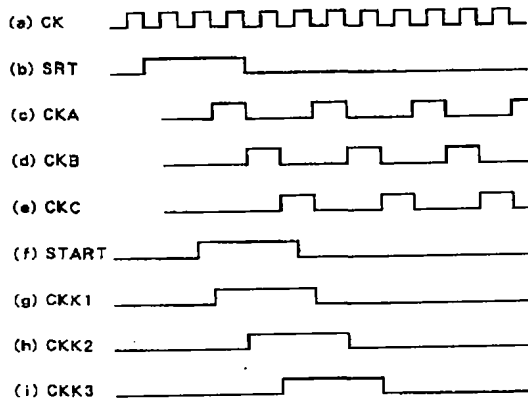


【図1】

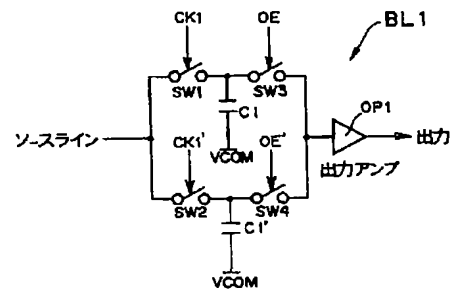
【図2】



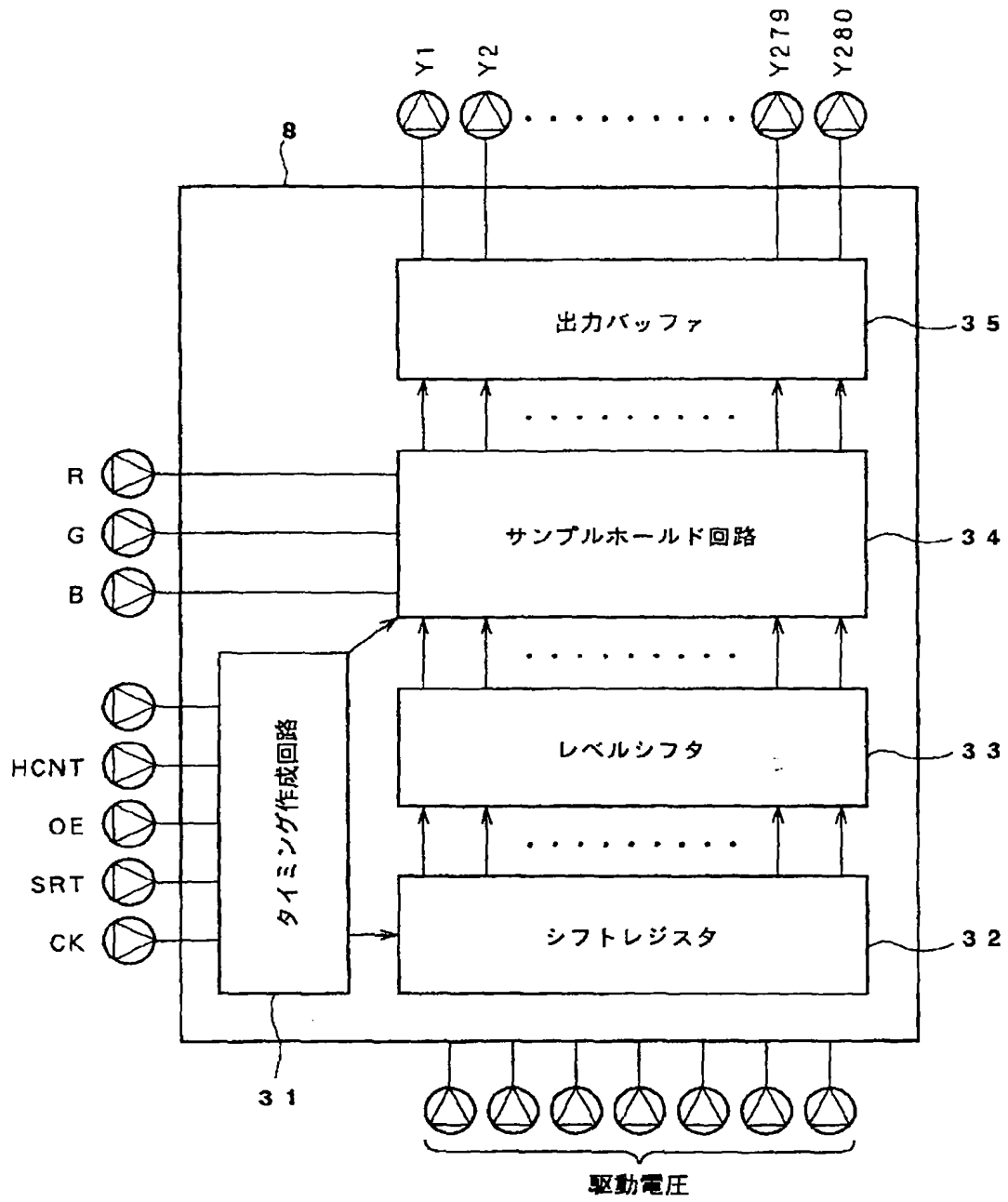
【図5】



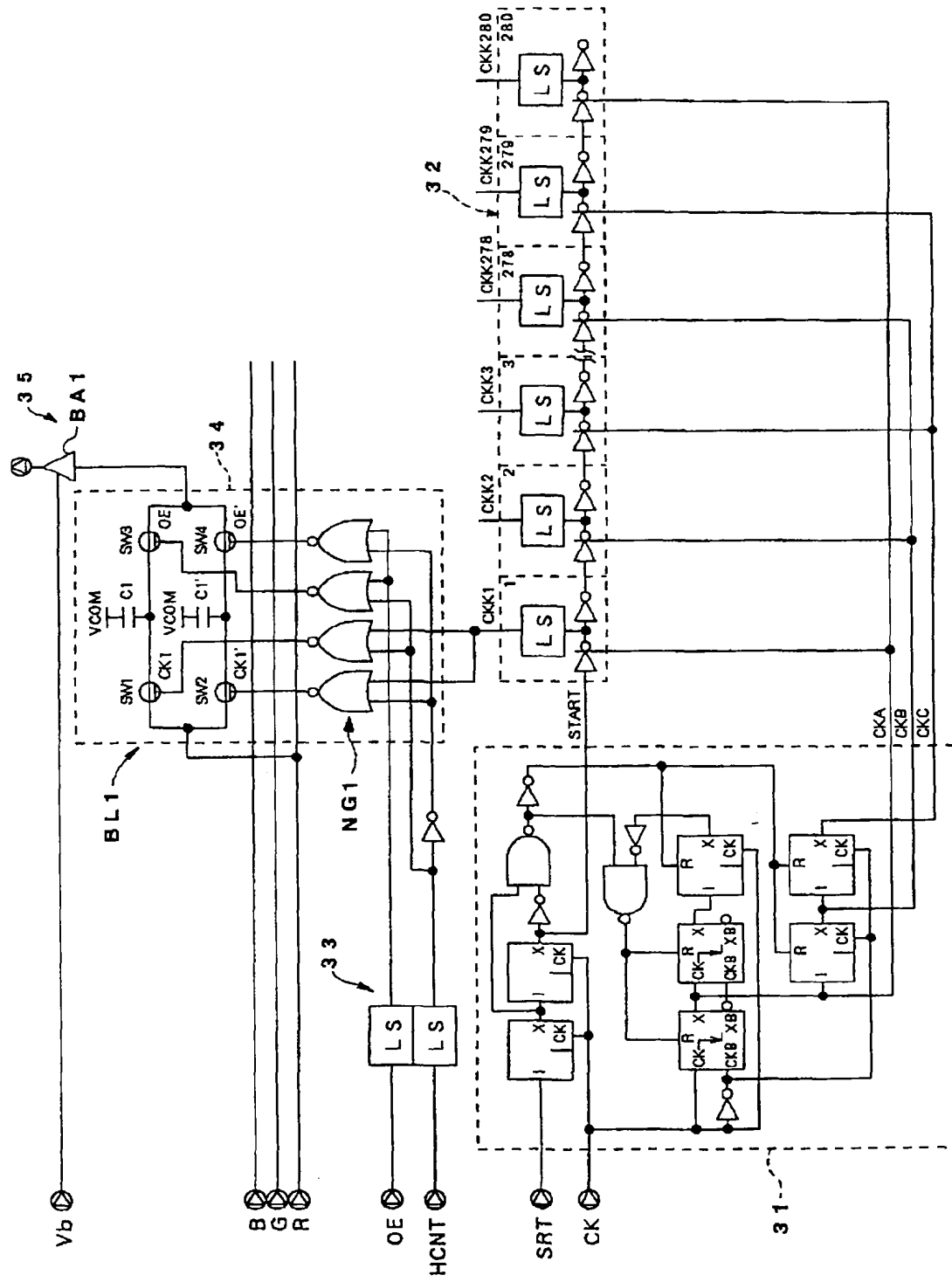
【図6】



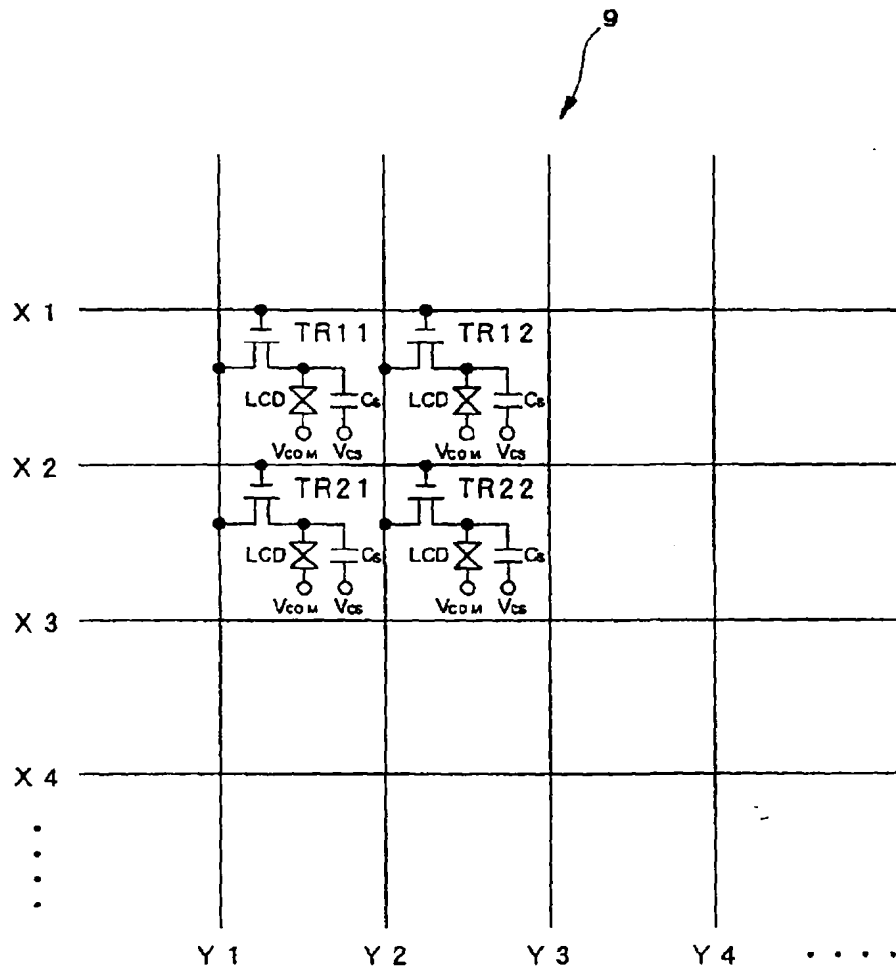
【図3】



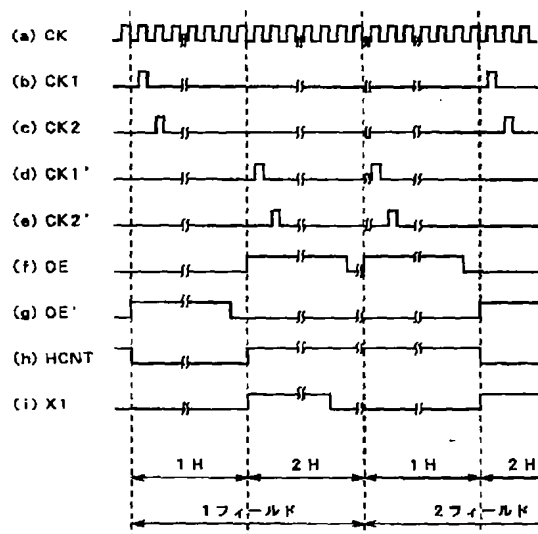
【図 4】



【図 7】



【図 8】



(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: 118913/1994

(43) Date of Publication of Application: April 28, 1994

(51) Int. Cl.⁵: Identification Number

G 09 G 3/36 7319-5G

G 02 F 1/133 505 9226-2K

G 09 G 3/20 R 7335-5G

K 7335-5G

FI

Request for Examination: not made

Number of Claims: 4 (11 pages in total)

(21) Application Number Hei-5-193928

(22) Application Date: July 9, 1993

(31) Priority Number: Hei-4-235277

(32) Priority Date: August 10, 1992

(33) Priority Country: Japan (JP)

(71) Applicant: 000001443

Casio Computer Co., Ltd.

2-6-1, Nishishinjuku, Shinjuku-ku, Tokyo

(72) Inventor: SASHITA Hideki

c/o Hamura Technical Center,

Casio Computer Co., Ltd.

3-2-1, Sakae-cho, Hamura-shi, Tokyo

(54) [Title of the Invention] LIQUID CRYSTAL DISPLAY DEVICE

(57) [Abstract]

[Purpose] To provide a liquid crystal display device, which may prevent the occurrence of unevenness or the like in an image displayed on a liquid crystal display panel by changing a plurality of storage elements for sequentially storing a video signal at every horizontal scan, alternately at intervals of one field, and outputting the signal to the liquid crystal display panel.

[Constitution] A basic circuit BL1 includes two capacitors C1, C1' provided on every source line for storing the color video signal alternately, and switches SW1 to SW4 which perform switching operation according to input control signals CK1, CK1', OE, OE' to alternately change the capacitors C1, C1' for storing the color video signal, wherein the video signal input at every 1H is sequentially stored and output to a buffer amplifier BA1, and the capacitors C1, C1' for sequentially storing the color video signal are alternately changed at the intervals of one field according to the control signals CK1, CK1', OE, OE'.

[Claims]

[Claim 1] A liquid crystal display device, comprising: a liquid crystal panel having a plurality of signal electrodes and a plurality of scan electrodes; a scan electrode driving circuit for horizontally scanning the scan electrodes; and a

signal electrode driving circuit for outputting a video signal to the signal electrodes, wherein the signal electrode driving circuit stores a video signal input corresponding to horizontal scanning in a plurality of storage elements provided corresponding to each of the signal electrodes, alternately at the intervals of one horizontal scanning, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of designated period of time.

[Claim 2] A liquid crystal display device, comprising: a liquid crystal panel having a plurality of signal electrodes and a plurality of scan electrodes; a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in one frame; and a signal electrode driving circuit for outputting a video signal to the signal electrodes, wherein the signal electrode driving circuit stores a video signal input corresponding to the horizontal scanning in one frame in a plurality of storage elements corresponding to each of the signal electrodes, alternately at the intervals of one horizontal scanning, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at intervals of the one horizontal scanning.

[Claim 3] A liquid crystal display device, comprising:

a liquid crystal display panel having a plurality of signal electrodes and a plurality of scan electrodes; a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in an odd-numbered field and an even-numbered field in one frame; and a signal electrode driving circuit for outputting a video signal to the signal electrode, wherein the signal electrode driving circuit stores video signals input corresponding to the horizontal scanning of the odd-numbered field and the even-numbered field in one frame in a plurality of storage elements provided corresponding to each of the signal electrodes, alternately for the odd-numbered field and the even-numbered field, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed depending on the odd-numbered field and the even-numbered field.

[Claim 4] A liquid crystal display device, comprising:

a liquid crystal display panel having a plurality of signal electrodes and a plurality of scan electrodes; a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in one field in one frame; and a signal electrode driving circuit for outputting a video signal to the signal electrodes, wherein the signal electrode driving circuit stores a video signal input corresponding to the horizontal scanning in one field in one frame in a plurality of storage elements corresponding to each of the signal

electrodes at the intervals of the one horizontal scanning and at the intervals of one field alternately, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of one horizontal scanning and at the intervals of one field.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application]

This invention relates to a liquid crystal display device and particularly to the liquid crystal display device including a sample hold circuit for sampling and holding a video signal.

[0002]

[Prior Art]

In some of the liquid crystal display televisions adapted to supply a video signal to an LCD (Liquid Crystal Display) panel to display, a sample hold circuit for alternately sampling a video signal at the intervals of 1H (horizontal synchronization period) is provided in a signal electrode driving circuit.

[0003]

This type of sample hold circuit has a circuit configuration in which a circuit having two capacitors parallel-connected to one source line (a video signal input line connected to each signal electrode) is taken as a basic circuit, and a plurality of the basic circuits are provided

for the number of source lines, wherein video signals for one frame are sampled alternately at the intervals of 1H by the two capacitors in the basic circuit, and when sampling is ended to the final 1H of the liquid crystal display panel, it returns to the first 1H of the liquid crystal display panel by a vertical feeder to repeat sampling of a video signal.

[0004]

[Problems that the Invention is to Solve]

The conventional sample hold circuit in the signal electrode driving circuit, however, has the problem that since the capacitor in the basic circuit for sampling and holding a video signal output to the first 1H designated by the liquid crystal display panel is fixed, in the basic circuit for sampling and holding the video signal on and after the first 1H, the same capacitor is used every time, so in the case where two capacitors in the basic circuit are uneven in characteristic, the voltage applied to the liquid crystal display panel is varied to cause the disadvantage of unevenness or the like of an image to be displayed.

[0005]

It is an object of the invention to provide a liquid crystal display device, which may prevent the occurrence of unevenness or the like in an image displayed on a liquid crystal display panel by changing a plurality of storage elements for sequentially storing a video signal at every horizontal scan,

alternately at intervals of one field, and outputting the signal to the liquid crystal display panel.

[0006]

[Means for Solving the Problems]

The invention of claim 1 is characterized in that in a liquid crystal display device including a liquid crystal panel having a plurality of signal electrodes and a plurality of scan electrodes, a scan electrode driving circuit for horizontally scanning the scan electrodes, and a signal electrode driving circuit for outputting a video signal to the signal electrodes, the signal electrode driving circuit stores a video signal input corresponding to horizontal scanning in a plurality of storage elements provided corresponding to each of the signal electrodes, alternately at the intervals of one horizontal scanning, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of designated period of time.

[0007]

The invention of claim 2 is characterized in that in a liquid crystal display device including a liquid crystal panel having a plurality of signal electrodes and a plurality of scan electrodes, a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in one frame, and a signal electrode driving circuit for outputting

a video signal to the signal electrodes, the signal electrode driving circuit stores a video signal input corresponding to the horizontal scanning in one frame in a plurality of storage elements corresponding to each of the signal electrodes, alternately at the intervals of one horizontal scanning, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at intervals of the one horizontal scanning.

[0008]

The invention of claim 3 is characterized in that in a liquid crystal display device including a liquid crystal display panel having a plurality of signal electrodes and a plurality of scan electrodes, a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in an odd-numbered field and an even-numbered field in one frame, and a signal electrode driving circuit for outputting a video signal to the signal electrode, the signal electrode driving circuit stores video signals input corresponding to the horizontal scanning of the odd-numbered field and the even-numbered field in one frame in a plurality of storage elements provided corresponding to each of the signal electrodes, alternately for the odd-numbered field and the even-numbered field, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed

depending on the odd-numbered field and the even-numbered field.

[0009]

The invention of claim 4 is characterized in that in a liquid crystal display device including a liquid crystal display panel having a plurality of signal electrodes and a plurality of scan electrodes, a scan electrode driving circuit for sequentially horizontally scanning the plurality of scan electrodes in one field in one frame, and a signal electrode driving circuit for outputting a video signal to the signal electrodes, the signal electrode driving circuit stores a video signal input corresponding to the horizontal scanning in one field in one frame in a plurality of storage elements corresponding to each of the signal electrodes at the intervals of the one horizontal scanning and at the intervals of one field alternately, and outputs the same to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of one horizontal scanning and at the intervals of one field.

[0010]

[Operation]

According to the invention of claim 1, the video signal input corresponding to the horizontal scanning is stored in the plurality of storage elements provided corresponding to each of the signal electrodes of the liquid crystal panel, alternately at the intervals of one horizontal scanning, output

to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of designated period of time.

[0011]

According to the invention of claim 2, the video signal input corresponding to the horizontal scanning in one frame is stored in the plurality of storage elements provided corresponding to each of the signal electrodes, alternately at the intervals of one horizontal scanning in one frame, output to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of the one horizontal scanning.

[0012]

According to the invention of claim 3, the video signals input corresponding to the horizontal scanning of the odd-numbered field and the even-numbered field in one frame are stored in the plurality of storage elements provided corresponding to each of the signal electrodes, alternately for the odd-numbered field and the even-numbered field, and output to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed depending on the odd-numbered field and the even-numbered field.

[0013]

According to the invention of claim 4, the video signal

input corresponding to the horizontal scanning in one field in one frame is stored in a plurality of storage elements corresponding to each of the signal electrodes, at the intervals of one horizontal scanning in one frame and at the intervals of one field alternately, and output to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of the one horizontal scanning and at intervals of one field.

[0014]

Accordingly, the unevenness of a video signal output to the liquid crystal display panel due to the uneven characteristic of the storage elements can be reduced to decrease the occurrence of unevenness of an image displayed on the liquid crystal display panel.

[0015]

An embodiment will now be described with reference to Figs. 1 to 8.

[0016]

Figs. 1 to 8 are diagrams showing one embodiment of a liquid crystal television to which a liquid crystal display device of the invention is applied.

[0017]

First, the configuration will be described. Fig. 1 is a block diagram of the liquid crystal television 1.

[0018]

In Fig. 1, the liquid crystal television 1 includes an antenna 2, a tuner 3, an IF circuit 4, a chroma circuit 5, a controller 6, a scan electrode driving circuit 7, a signal electrode driving circuit 8, a TFT liquid crystal display panel 9, a driving voltage generating circuit 10 and a switch part 11.

[0019]

The antenna 2 supplies a received radio wave to the tuner 3, and the tuner 3 selects a designated channel according to a tuning control signal VT input from the controller 6, transforms the received radio wave supplied from the antenna 2 to an intermediate frequency signal, and outputs the same to the IF circuit 4.

[0020]

The IF circuit 4 includes an intermediate frequency amplifier circuit, a video detecting circuit, a video amplifier circuit and the like, wherein the intermediate frequency signal input from the tuner 3 is subjected to video detection by the video detecting circuit to take a color video signal, a voice signal is taken from the color video signal and output to a voice circuit not shown, the color video signal is amplified by the video signal amplifier and output to the chroma circuit 5, and a horizontal synchronization signal Hsync and a vertical synchronization signal Vsync are taken and output to the controller 6.

[0021]

The chroma circuit 5 separates the video signals of the respective colors R, G, B from the color video signal input from the IF circuit 4, and outputs the same to the signal electrode driving circuit 8.

[0022]

The controller 6 includes a CPU (Central Processing Unit) or the like for controlling the scan electrode driving circuit 7 and the signal electrode driving circuit 8, wherein a tuning control signal VT is output to the tuner 3 according to the tuning key operation operated by the switch part 11, and according to the horizontal synchronization signal Hsync and the vertical synchronization signal Vsync input from the IF circuit 4, various timing signals for controlling the scan electrode driving circuit 7 and the signal electrode driving circuit 8 are generated and output to the scan electrode driving circuit 7 and the signal electrode driving circuit 8, thereby sequentially controlling the scanning timing of the scan electrode at the intervals of one field in one frame in the scan electrode driving circuit 7 and controlling the sampling timing of R, G, B color video signals of the signal electrodes at the intervals of one field in one frame in the signal electrode driving circuit 8.

[0023]

The scan electrode driving circuit 7, as shown in the

block diagram of Fig. 2, includes a timing creating circuit 21, a shift register 22, a gate circuit 23, a level shifter 24 and an output buffer 25, wherein the shift register 22, the gate circuit 23, the level shifter 24 and the output buffer 25 sequentially scan 220 scan electrodes provided on the TFT liquid crystal display panel 9.

[0024]

In the scan electrode driving circuit 7, the timing creating circuit 21 generates a reference shift timing signal according to a start signal GSRT and a clock signal GPCCK input from the controller 6, and when the shift register 22 sequentially generates a shift pulse signal according to the reference shift timing signal, and outputs the same to the gate circuit 23, the gate circuit 23 controls the trailing edge timing of a shift pulse signal in timing of a reset signal GRES input from the controller 6, shifts the trailing edge positions of the sequentially generated shift pulse signals to generate separated shift pulse signals, and outputs the same to 220 scan electrodes X1 to X220 provided on the TFT liquid crystal display panel 9 through the level shifter 24 and the output buffer 25, thereby sequentially horizontally scanning the scan electrode X1 to X220.

[0025]

Further, various driving voltage is supplied from the driving voltage generating circuit 10 to the scan electrode

driving circuit 7, and supplied to the timing creating circuit 21, the shift register 22, the gate circuit 23, the level shifter 24 and the output buffer 25.

[0026]

The signal electrode driving circuit 8, as shown in the block diagram of Fig. 3, includes a timing creating circuit 31, a shift register 32, a level shifter 33, a sample hold circuit 34 and an output buffer 35, wherein the shift register 32, the level shifter 33, the sample hold circuit 34 and the output buffer 35 are adapted to sequentially scan 280 signal electrodes provided on the TFT liquid crystal display panel 9.

[0027]

The detailed circuit configuration of the timing creating circuit 31, the shift register 32, the level shifter 33 and the sample hold circuit 34 in the signal electrode driving circuit 8 is shown in Fig. 4 and described. An example of a signal processed in the signal electrode driving circuit 8 is shown in Figs. 5(a) to 5(i).

[0028]

In Fig. 4, the timing creating circuit 31 include various gate circuits, a flip-flop and the like, wherein according to a reference clock signal CK (See Fig. 5(a)) input from the controller 6 and a start signal SRT (See Fig. 5(b)), a reference pulse signal START (See Fig. 5(f)), and reference shift clock signals CKA, CKB and CKC (See Figs. 5(c) to 5(e)) are generated

and output to the shift register 32. The shift register 32 has 280 stages of basic circuits formed by an inverter circuit for one stage of the signal electrode, and generates sampling signals CKK1 to CKK3 (See Figs. 5(g) to 5(i)) in every basic circuit through level shifters 33 according to a reference pulse signal START input from the timing creating circuit 31 and reference shift clock signals CKA, CKB, CKC input at each stage to be output to the sample hold circuit 34.

[0029]

The sample hold circuit 34 shown in Fig. 4 shows a basic circuit configuration corresponding to one signal electrode, which is formed by a basic circuit BL1 including a NOR gate circuit NG1, two capacitors C1, C1' provided for alternately storing the respective color video signals in each signal electrode shown in Fig. 6 and switches SW1 to SW4 changing the capacitors C1, C1'.

[0030]

The NOR gate circuit NG1 outputs switching pulse signals CK1, CK1', OE, OE' for controlling the switching of switch groups SW1 to SW4 in the basic sampling circuit BL1 according to an output enable signal OE input from the controller 6, a horizontal scan signal HCNT and a sampling signal CKK1 input from the shift register 32 to the respective switches SW1 to SW4 in the basic circuit BL1.

[0031]

In the basic circuit BL1, according to switching pulse signals CK1, CK1', OE, OE' input from the NOR gate circuit NG1, the respective switches SW1 to SW4 are on-off controlled, and each color video signal input at the intervals of 1H is stored in one of the capacitors C1, C1' which is turned on by the switches SW1 to SW4, and output to the output buffer 35.

[0032]

The output buffer 35 includes buffer amplifiers BA1 to BA280 provided on every basic circuit BL1 to BL280 in the sample hold circuit 34, and the respective buffer amplifiers BA1 to BA280 amplify the respective color video signals input at the intervals of 1H by the basic circuits BL1 to BL280 at a designated amplification rate to be sequentially output to the respective signal electrodes Y1 to Y280 of the TFT liquid crystal display panel 9.

[0033]

In Fig. 4, the TFT liquid crystal display panel 9 is provided with 220 scan electrodes X1 to X220 controlled to drive by the scan electrode driving circuit 7, and 280 signal electrodes Y1 to Y280 controlled to drive by the signal electrode driving circuit 8, and in the respective intersecting points of the respective scan electrodes X1 to X220 and the respective signal electrodes Y1 to Y280 are, as shown in Fig. 7, transistors TR11, TR12, TR21, and TR 22 are disposed. The gate electrodes G of the transistors TR11, TR12, TR21, TR22 are connected to

the scan electrodes X1, X2, and source electrodes S thereof are connected to signal electrodes Y1, Y2, a capacitor Cs and a liquid crystal display element LCD are connected to a drain electrode D, and VCS and VCOM of the same potential are applied to the capacitor Cs and the liquid crystal display element LCD.

[0034]

The respective transistors TR11, TR12, TR21 and TR22 connected to the respective intersecting points are turned on according to the scan signals sequentially input to the scan electrodes X1, X2 at the intervals of one horizontal scanning by the scan electrode driving circuit 7, and when the color video signals sequentially input to the signal electrodes Y1, Y2 by the signal electrode driving circuit 8 according to the horizontal scanning are sequentially stored in the respective capacitors Cs connected to the drain electrodes D through the source electrodes S of the transistors TR11, TR12, TR21, TR22, the liquid crystal display element LCD is displayed.

[0035]

The operation of the embodiment will now be described.

[0036]

In the conventional NTSC system television, it is specified that a screen with 525 scan lines and an aspect ratio of 3:4 is formed, and thirty screens are made per second. As a scanning way in making the screen, interlace is specified, and horizontal and vertical scanning are performed

two-dividedly by 262.5 lines each. In this interlace, one vertical scanning is called field scanning, and scanning for displaying the whole of one screen by field scanning twice is called frame scanning. Since one screen is displayed by two field scanning of a video signal in the period of this frame scanning, the screen display cycle (frame frequency) is 1/60 second.

[0037]

Since the number of effective scan electrodes of the TFT liquid crystal display panel 9 is 220 in the liquid crystal television 1 of the present embodiment, the same scan electrode is scanned by field scanning twice in one frame.

[0038]

First, the basic operation of the basic circuit BL1 shown in Fig. 6 will be described according to a timing diagram of signals of the respective parts in the basic circuit BL1 shown in Fig. 8.

[0039]

As for the respective color video signals for 1H, either the switch SW1 or the switch SW2 in the basic circuit BL1 is sequentially turned on according to the timing of a clock CK shown in Fig. 8(a) to store each color video signal in the capacitor C1 or the capacitor C1'. In Fig. 8, the switch SW1 is turned on in the timing of the clock CK1 (Fig. 8(b)) to store data of the first pixel in the capacitor C1, and data of the

second pixel is stored in the capacitor C2 in the basic circuit BL2 having the same configuration as that in Fig. 3 in the timing of a clock Ck2 (Fig. 8(c)). Thus, the respective color video signals for 1H are stored in the capacitor C1, and the data of the first pixel of the next 1H is stored in the timing of a clock CK1' (Fig. 8(d)) and the data of the second pixel is stored in the timing of a clock CK2' (Fig. 8(e)) in the capacitor C1' and the capacitor C2', respectively.

[0040]

In Fig. 8, the reference sign (i) shows a scan signal X1 output from a scan electrode driving circuit 7, and the rise timing thereof is the same as those of the output enable signals OE, OE', and the trailing edge timing is controlled so that it ends twenty basic clocks CK prior to the end of the section of 1H.

[0041]

The output timing of each color video signal thus stored in the capacitor C1' is such that when the switch SW1 side is turned on, the switch SW4 side is turned on to output each color video signal stored in the capacitor C1' to the buffer amplifier BA1 in the output buffer 35.

[0042]

Thus, in the basic circuit BL1, the capacitors C1, C1' to store the signal are alternately changed at the intervals of 1H to sequentially store the respective color video signals

for one field, which are amplified in the output buffer 35 and output to the TFT liquid crystal display panel 9. The above sampling system for the color video signal is called parallel sampling hold system.

[0043]

After the color video signals for one field scan are output to the TFT liquid crystal display panel 9 as described above, similar sampling is repeated in the next field scan. In the prior art, supposing that the capacitor for sampling the first 1H of the first field is the C1 side, the capacitor for sampling the pixel data for the first 1H of the next field is also the C1 side.

[0044]

Consequently, in the conventional case of sampling the color video signal, the capacitor for sampling the color video signals for the 1H of the uppermost part of the TFT liquid crystal display panel 9 is always the C1 side, and the capacitors for storing the pixel data are alternately changed at the intervals of 1H, so the capacitor for sampling line by line is always fixed on the C1 side, or the C1' side as the whole liquid crystal panel.

[0045]

At the time, in the case where the capacitor C1 and the capacitor C1' are different in capacity, the output value of the output video signal is determined by the parasitic capacity

of the output amplifier OP1, the capacity of the capacitor of the liquid crystal display panel 1 and the capacity ratio of the capacitor C1 and the capacitor C1', so the output levels of video data stored by the capacitor C1 and the capacitor C1' are different.

[0046]

Supposing that the capacity of the capacitor C1' is larger than that of the capacitor C1, for example, even if the video data of the same input level is sampled, the output level is lower in the video data output from the capacitor C1'. Due to the difference in the output level, unevenness is caused in the image displayed on the liquid crystal display panel 1, resulting in the deterioration of quality of the displayed image.

[0047]

According to the present embodiment, in order to prevent the deterioration of quality of a displayed image due to the capacity change in the capacitors C1, C1', the basic circuit BL1 is controlled to change the capacitors for sampling the color video signal at the intervals of one field scan, whereby the variation in the capacity of the capacitor is absorbed, and unevenness of the displayed image averaged in one frame is absorbed to improve the display quality.

[0048]

The timing diagram of signals of the respective parts in the basic circuit BL1 in changing the capacitors for sampling

the video data at the intervals of one field will be described with reference to Fig. 8.

[0049]

The color video signal of the first pixel of the first 1H of the first field scan is sampled in the capacitor C1 in the timing of a clock CK1 (Fig. 8 (b)), and the color video signal of the second pixel is sampled in the capacitor C2 in the timing of the clock CK2 (Fig. 8 (c)). Subsequently, the color video signal of the first pixel of the second 1H is sampled in the timing of a clock CK1' (Fig. 8(d)), and the color video signal of the second pixel is sampled in the timing of a clock CK2' (Fig. 8 (e)) in the capacitors C1', C2', respectively. The operation to this step is similar to the above basic operation.

[0050]

After the above operation is repeated to end sampling the color video signals of the first field, the color video signal of the first pixel of the first 1H of the next field is sampled in the timing of a clock CK1' (Fig. 8 (d)) in the capacitor C1', and the color video signal of the second pixel is sampled in the timing of a clock CK2' (Fig. 8 (e)) in the capacitor C2'. Subsequently, the color video signal of the first pixel of the second 1H is sampled in the timing of a clock CK1 (Fig. 8 (b)) and the color video signal of the second pixel is sampled in the timing of a clock CK2 (Fig. 8 (c)) in the

capacitors C1, C2, respectively.

[0051]

Thus, the capacitors for sampling in the first 1H are alternately changed at the intervals of one field, and such change is controlled according to a control signal HCNT (Fig. 8 (h)) inverted at the intervals of 1H and at the intervals of one field, thereby equalizing the variation in the output level of the output color video signals output from the buffer amplifiers BA1 to BA280 in the output buffer 35 to the TFT liquid crystal display panel 9 due to the variation in capacity of the parallel-connected capacitors C1 to C280, C1' to C280' and absorbing the same.

[0052]

Accordingly, the present embodiment is applied to the liquid crystal display panel 1, whereby even if the capacitors in the basic circuits BL1 to BL280 in the sample hold circuit 34 for alternately storing the video data are uneven in the capacity, such unevenness can be equalized and unevenness caused in the displayed image of one frame displayed on the TFT liquid crystal display panel 9 can be absorbed so as to improve the display quality.

[0053]

Although the capacitors in the basic circuits BL1 to BL280 in the sample hold circuit 34 for storing the color video signals are changed at the intervals of one horizontal scanning and

at the intervals of one field in the above embodiment, the capacitors may be changed at the intervals of one frame, and the capacitors for storing the signals may be changed depending on the even-numbered field scan and the odd-numbered field scan.

[0054]

[Advantage of the Invention]

According to the invention, the video signals input corresponding to the horizontal scanning are stored in the plurality of storage elements 1 provided corresponding to each of the signal electrodes of the liquid crystal panel, alternately at the intervals of one horizontal scanning, and output to the signal electrodes, and the correspondence relationship between the horizontal scanning and the storage elements is changed at the intervals of a designated period of time, whereby the unevenness of the video signals output to the liquid crystal panel due to uneven characteristics of the storage elements can be reduced so as to decrease the occurrence of unevenness in the image displayed on the liquid crystal display panel. Accordingly, the display quality of the image displayed on the liquid crystal display panel can be improved.

[Brief Description of the Drawings]

[Fig. 1] A block diagram of a liquid crystal television to which a liquid crystal display device of the invention is applied.

[Fig. 2] A block diagram of a scan electrode driving

circuit of Fig. 1.

[Fig. 3] A block diagram of a signal electrode driving circuit of Fig. 1.

[Fig. 4] A detailed configuration diagram of the signal electrode driving circuit.

[Fig. 5] A timing diagram explaining the basic operation of a sample hold circuit of Fig. 4.

[Fig. 6] A basic circuit configuration diagram in the sample hold circuit of Fig. 4.

[Fig. 7] A detailed configuration diagram of a TFT liquid crystal display panel of Fig. 1.

[Fig. 8] A timing diagram for explaining the capacitor change operation in the sample hold circuit of Fig. 4.

[Description of the Reference Numerals and Signs]

1: liquid crystal television

7: scan electrode driving circuit

8: signal electrode driving circuit

9: TFT liquid crystal display panel

21: timing creating circuit

22: shift register

23: gate circuit

24: level shifter

25: output buffer

31: timing creating circuit

32: shift register

33: level shifter
34: sample hold circuit
35: output buffer
NG1: NOR gate circuit
BL1: basic circuit
C1, C1': capacitor
SW1 to SW4: switch
BA1: buffer amplifier

FIGURE 1:

3: TUNER

4: IF CIRCUIT

5: CHOMA CIRCUIT

6: CONTROLLER

7: SCAN ELECTRODE DRIVING CIRCUIT

8: SIGNAL ELECTRODE DRIVING CIRCUIT

9: TFT LIQUID CRYSTAL DISPLAY PANEL

10: DRIVING VOLTAGE GENERATING CIRCUIT

11: SWITCH PART

FIGURE 2:

DRIVING VOLTAGE

21: TIMING CREATING CIRCUIT

22: SHIFT REGISTER

23: GATE CIRCUIT

24: LEVEL SHIFTER

25: OUTPUT BUFFER

FIGURE 3:

DRIVING VOLTAGE

31: TIMING CREATING CIRCUIT

32: SHIFT REGISTER

33: LEVEL SHIFTER

34: SAMPLE HOLD CIRCUIT

35: OUTPUT BUFFER

FIGURE 6:

SOURCE LINE

OUTPUT

OUTPUT AMPLIFIER

FIGURE 8:

FIRST FIELD

SECOND FIELD